

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

⑫ 公開特許公報(A)

昭60-257541

④Int.Cl.⁴ 識別記号 庁内整理番号 ④公開 昭和60年(1985)12月19日
H 01 L 21/76 M-7131-5F
21/205 7739-5F
// H 01 L 27/04 C-7514-5F 審査請求 未請求 発明の数 1 (全3頁)

④発明の名称 半導体装置の製造方法

④特 願 昭59-115885

④出 願 昭59(1984)6月4日

④発 明 者 桜 井 弘 美 伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・
アイ研究所内

④出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

④代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) 半導体基板の一主表面上に酸化シリコン膜を形成し、この酸化シリコン膜の所望部分に開孔を形成しその底面上に上記半導体基体を露出させ、上記開孔の内側壁面上と上記酸化シリコン膜の上とを酸素を含まない絶縁膜で覆った後に、この絶縁膜の上からシリコンを上記開孔の深さ以上の厚さにエピタキシャル成長させ、更にその上面を研磨して平坦化して、上記酸化シリコン膜および上記開孔の内側壁面上の上記絶縁膜を上記開孔内にエピタキシャル成長させたシリコン層の分離絶縁膜として構成することを特徴とする半導体装置の製造方法。

(2) 酸化シリコン膜の開孔形成に異方性エツチング法を用いることを特徴とする特許請求の範囲第1項記載の半導体装置の製造方法。

(3) 酸素を含まない絶縁膜に酸化シリコン膜を

用いることを特徴とする特許請求の範囲第1項または第2項記載の半導体装置の製造方法。

3. 発明の詳細な説明

〔発明の技術分野〕

この発明は半導体装置の製造方法、特に素子間分離幅を小さくするために垂直な壁面の分離酸化膜で囲まれた活性領域構造を得る方法に関するものである。

〔従来技術〕

半導体装置の集積化が進むにつれて、素子間分離幅はますます狭くする要請がある。第1図A〜Cはこのような要請に応じて開発された従来の方
法の主要段階における状態を示す断面図で、まず第1図Aに示すように、シリコン(Si)基板(1)の上に酸化シリコン(SiO₂)膜(2)を形成し、その一部に開孔(3)を形成する。つづいて、第1図Bに示すように、開孔(3)の部分に選択的にエピタキシャル成長Si層(4)を形成し、次に第1図Cに示すように研磨によつてエピタキシャル成長Si層(4)の凸部を除去して上面を平坦化して活性領域(4a)を得る

ものである。

素子間分離幅を狭くするには分離酸化膜の壁面は垂直であることが望ましく、上記従来方法でも、第1図Aの段階では開孔(3)の形成に異方性ドライエッチング法や、イオンビームエッチング法を用いて図示のようにSi基板(1)の表面に垂直な壁面を得ているが、第1図Bの段階でSi層(4)のエピタキシャル成長時にSiO₂膜(2)がエッチングを受ける。すなわち、例えば、1000℃以上の高温でモノシラン(SiH₄)、トリクロルシラン(SiHCl₃)、ジクロルシラン(SiH₂Cl₂)、モノクロルシラン(SiH₃Cl)、四塩化ケイ素(SiCl₄)などのSiを含む気体または液体を分解するため水素(H₂)ガスを多量に流す。従つて、SiO₂とSiとが反応して一酸化シリコンSiOとなる。SiOは気化して排出される。第1図Bの場合には、エピタキシャル成長の初期には、SiO₂が微かにエッチングされながらSiがデポジットされる。このSiO₂のSiO化によるエッチングとSiのエピタキシャル成長と同時に進行するので、SiO₂膜(2)の底部から上

部に到るに従つてSiO₂のエッチング量が増加し、垂直であつたSiO₂膜(2)の壁面は次第に丸みをおびようになり、これが素子間分離幅低減の支障となる。また、上記SiOガスは完全に除去される訳ではなく、近傍のSi中に取り込まれるので、高温熱処理によつて酸素析出核が形成され成長して、Siとの格子定数の違いによつて欠陥密度が増加する。従つて、開孔(3)の周辺には1μm程度の幅の欠陥層を生じるので、pn接合を形成した際、接合リークを生じ易いという問題もあつた。

〔発明の概要〕

この発明は以上のような点に鑑みてなされたもので、分離層を構成するSiO₂膜に活性領域をエピタキシャル成長させるべき開孔を形成した後、その開孔内壁面および上記SiO₂膜の上面に酸素を含まない絶縁膜を薄く形成した上で、Siをエピタキシャル成長させて活性領域を形成することによつて、エピタキシャル成長時のSiO₂膜のエッチングを防止し、垂直な壁面の分離酸化膜で囲まれ隣接部にも欠陥の少ない活性領域構造を得る

方法を提供するものである。

〔発明の実施例〕

第2図A～Dはこの発明の一実施例方法の主要段階での状態を示す断面図で、従来例と同一符号は同等部分を示す。まず、第2図Aに示すように、従来と同様に、Si基板(1)の上にSiO₂膜(2)を形成し、その一部に開孔(3)を異方性エッチング法で壁面が垂直に形成する。次に、第2図Bに示すように、酸素を含まない絶縁膜、例えば窒化シリコン(Si₃N₄)膜(5)でSiO₂膜(2)の上面および開孔(3)の内側壁面を覆い、その内側に第2の開孔(6)を残し、その底面にはSi基板(1)の一部を露出させておく。その後第2図Cに示すように、この第2の開孔(6)の部分に選択的にエピタキシャル成長Si層(4)を形成し、つづいて、第2図Dに示すように、研磨によつてエピタキシャル成長Si層(4)の凸部およびSiO₂膜(2)の上面のSi₃N₄膜(5)を除去して上面を平坦化して活性領域(4a)を得る。

この実施例の方法において、第2図Cの段階でエピタキシャル成長Si層(4)を形成する以前にそ

の開孔(3)の周辺にSiO₂膜(2)の表面にSi₃N₄膜(5)が形成されており、これには酸素が含まれておらず、しかもSiO₂膜(2)をエピタキシャル成長用の気体または液体に触れるのを防ぐので従来のようなSiO₂+SiがH₂によつて反応してSiO化するものがなく、第2の開孔(6)の壁面の垂直性を維持できる。また、この部分に形成されるエピタキシャル成長Si層(4)はエッジ部で酸素のオートディフュージョンがないので、欠陥が少ない高品位のものとなる。従つて、このようにして得た活性領域では、pn接合を形成してもリーク電流が生じることなく、すぐれた接合の形成が可能である。

このようにして、バイポーラ素子の場合特に問題になりやすいエミッタ・コレクタ・バイピング現象が防がれるばかりでなく、MOS素子においてもリークの少ない優れた分離領域が得られる。更に、メモリ素子を構成する場合、特にメモリ容量を増加させる目的で、従来「得張り分離方式」が用いられていたが、これはSiの一部を垂直に狭くエッチングして酸化膜などの絶縁膜を埋め込

むことによつてキャパシターを構成するものであるが、 Si のエッチングは原理的に高速に行うことが困難な上に、そのエッチングの形状も底部まで十分に垂直に仕上げることは困難であつた。そこで、この場合にもこの発明を適用すれば、従来得られなかつた垂直な壁面を有する高品質の絶縁膜が得られることから、優れたキャパシターを構成でき、小さなチップサイズで大容量メモリが実現できる。

〔発明の効果〕

以上説明したようにこの発明の方法では SiO_2 膜に形成した開孔の内側壁面および SiO_2 膜上面を、酸素を含まない絶縁膜で覆つた後に、開孔内に Si をエピタキシャル成長させるようにしたので、エピタキシャル成長時に開孔壁面にエッチングが生じることなく、垂直性が保持でき、バイポーラ、 MOS 両構造とも集積度の向上が期待できる。

なお、全絶縁膜を酸素を含まない絶縁膜で形成してもよい訳であるが、これでは開孔エッチング

速度、開孔仕上り形状の上で問題があり、上述の SiO_2 膜を用いることによつてこの問題も解決される。

4. 図面の簡単な説明

第1図A～Cは従来の方法の主要段階における状態を示す断面図、第2図A～Dはこの発明の一実施例方法の主要段階における状態を示す断面図である。

図において、(1)はシリコン(半導体)基板、(2)は酸化シリコン膜、(3)は開孔、(4)、(4a)はエピタキシャル成長シリコン層、(5)、(5a)は窒化シリコン膜である。

なお、図中同一符号は同一または相当部分を示す。

代理人 大 岩 増 雄

